

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

here application of: **Shoji GOTO**

Serial No.: **09/745,996**

#4

Filed: **December 26, 2000**

Group Art Unit No. **2631**

For: **DIGITAL MATCHED FILTER DESPREADING RECEIVED SIGNAL AND MOBILE WIRELESS TERMINAL USING DIGITAL MATCHED FILTER**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

Date: November 21, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

JAPANESE APPLICATION NO. 11-371634, Filed December 27, 1999

JAPANESE APPLICATION NO. 2000-369832, Filed December 5, 2000

In support of these claims, the requisite certified copies of said original foreign application are filed herewith.

It is requested that the file of these applications be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said documents. In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

**ARMSTRONG, WESTERMAN, HATTORI,
McLELAND & NAUGHTON, LLP**

William L. Brooks

William L. Brooks
Reg. No. 34,129

Atty. Docket No. 001717
1725 K Street, N.W., Suite 1000
Washington, DC 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WLB/II

RECEIVED
NOV 26 2001
Technology Center 2600



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年12月27日

出 願 番 号

Application Number:

平成11年特許願第371634号

出 願 人

Applicant (s):

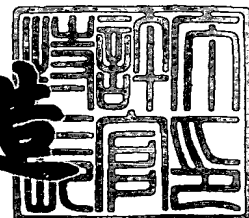
三洋電機株式会社

RECEIVED
NOV 26 2001
Technology Center 2600

2000年11月17日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3095539

【書類名】 特許願

【整理番号】 NBC0992155

【提出日】 平成11年12月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H04J 13/00

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

【氏名】 後藤 章二

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話 0 3 - 5 6 8 4 - 3 2 6 8 法務・知的財産部 駐
在

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【ブルーフの要否】 要

【書類名】 明細書
 【発明の名称】 デジタルマッチトフィルタ
 【特許請求の範囲】

【請求項 1】 m ビットの受信信号を時系列に書込む n 個のレジスタを備え、このレジスタに書込まれる受信信号系列と拡散符号系列との間の相関値を算出するデジタルマッチトフィルタにおいて、所定の書込みタイミングで前記レジスタに前記受信信号を書込み、前記所定の書込みタイミング以外では前記レジスタへの入力信号をマスクングする制御部を備えることを特徴とするデジタルマッチトフィルタ。

【請求項 2】 前記制御部は、前記所定の書込みタイミング以外で前記受信信号を前記レジスタに対してマスクングするゲート回路を備えることを特徴とする請求項 1 に記載のデジタルマッチトフィルタ。

【請求項 3】 前記制御部は、前記受信信号の前記レジスタへの書込みタイミングを表す制御信号を生成し、この制御信号と前記受信信号とを前記ゲート回路に通すことにより、前記所定の書込みタイミングで前記受信信号を前記レジスタに書込むことを特徴とする請求項 1 又は 2 に記載のデジタルマッチトフィルタ。

【請求項 4】 前記ゲート回路の負荷容量が、前記レジスタの負荷容量よりも小さいことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のデジタルマッチトフィルタ。

【請求項 5】 m ビットの受信信号を時系列に書込む n 個のレジスタと、このレジスタの第 1 のタップ群から出力される第 1 の受信信号系列と拡散符号系列との間の相関値を算出する第 1 の相関値演算部と、前記レジスタの第 2 のタップ群から出力される第 2 の受信信号系列と拡散符号系列との間の相関値を算出する第 2 の相関値演算部とを備えることを特徴とするデジタルマッチトフィルタ。

【請求項 6】 m ビットの受信信号を時系列に書込む n 個のレジスタと、 k 個にグループ分けされた前記レジスタのタップ群と、このタップ群の各グループ毎に出力される受信信号系列と拡散符号系列との間の相関値を算出する k 個の相関値演算部とを備えることを特徴とするデジタルマッチトフィルタ。

【請求項 7】 前記各タップ群から出力される受信信号系列は、互いに重複しないことを特徴とする請求項 5 又は 6 に記載のデジタルマッチトフィルタ。

【請求項 8】 前記各相関値演算部からそれぞれ出力される相関値信号を、1 本の相関値出力信号として、順次時系列に出力する出力制御部を設けたことを特徴とする請求項 5 乃至 7 のいずれか 1 項に記載のデジタルマッチトフィルタ。

【請求項 9】 前記相関値演算部は、第 1 の積和演算部と、この積和演算部に接続されたしきい値判定部と、このしきい値判定部に接続された第 2 の積和演算部とを備え、前記しきい値判定部は、前記第 1 の積和演算部の出力値が十分小さい場合に、前記第 2 の積和演算部の動作を停止する制御を行うことを特徴とする請求項 5 乃至 8 のいずれか 1 項に記載のデジタルマッチトフィルタ。

【請求項 10】 前記しきい値判定部は、前記第 1 の積和演算部の出力値に対する部分相関値しきい値が予め設定されており、第 1 の積和演算部の出力値が対応する部分相関値しきい値を越えた場合に前記第 2 の積和演算部を動作させ、部分相関値しきい値を越えない場合には第 2 の積和演算部の動作を停止することを特徴とする請求項 9 に記載のデジタルマッチトフィルタ。

【請求項 11】 前記第 1 の積和演算部は、受信信号系列のうちの一部とこれに対応する拡散符号系列との間の相関値を算出し、前記第 2 の積和演算部は、前記受信信号系列の残りの部分とこれに対応する拡散符号系列との間の相関値を算出することを特徴とする請求項 9 又は 10 に記載のデジタルマッチトフィルタ。

【請求項 12】 請求項 1 乃至 11 のいずれか 1 項に記載のデジタルマッチトフィルタを備えることを特徴とする受信機。

【請求項 13】 請求項 12 に記載の受信機を備えることを特徴とする通信システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スペクトル直接拡散通信方式に基づく通信システムの受信回路に関し、特に、消費電力を低減することのできるデジタルマッチトフィルタに関する

ものである。

【0 0 0 2】

【従来の技術】

スペクトル直接拡散通信方式に基づく通信システムにおいては、図9に示すように送信機26で原信号が拡散符号で拡散され、一方受信機27では受信信号が送信機26と同期した拡散符号レプリカを用いて逆拡散されて原信号を取り出す。このような受信機側での逆拡散処理技術としては、一般に相関値ピークの検出速度の面で優れるデジタルマッチトフィルタが用いられている。このようなデジタルマッチトフィルタの一例は“スペクトル拡散通信におけるデジタルマッチトフィルタ技術とその問題点”(田近壽夫、信学技報SST62-21)に記載されている。

【0 0 0 3】

受信機における逆拡散回路28は、図10に示すように、デジタルマッチトフィルタ29、巡回積分部30、同期捕捉判定部31、及び制御部32から構成されている。

以下、各部を具体的に説明する。デジタルマッチトフィルタ29は、受信信号の入力を受けて、拡散符号のレプリカ信号との相関値を逆拡散信号として出力すると共に、制御部32からの制御信号に従って、拡散符号レジスタ値(タップ係数)の書き換え又は受信信号蓄積レジスタの更新を行う。

【0 0 0 4】

巡回積分部30は、雑音除去／相関値ピークの検出精度の向上を図るために、デジタルマッチトフィルタ29が出力する相関値を拡散符号の数周期区間に渡って積分することにより平均化を行う。S/Nが良い(信号のエネルギーが雑音のエネルギーより遥かに高い)場合、相関値ピークを検出することが容易であるが、S/Nが悪い(信号のエネルギーが雑音のエネルギーとあまり変わらない)場合にはこの巡回積分によって、相関値ピークの検出精度を改善することが期待できる。巡回積分を用いたデジタルマッチトフィルタの一例は“4相相関器を用いたDS/GMSK/PSK方式とスペクトル拡散復調用LSI”(矢野安宏、田近壽夫、藤野忠、信学技報SST96-26)に記載されている。

【0 0 0 5】

同期捕捉判定部31は、巡回積分部30が出力する相関積分値が、予め内部に設定

された巡回積分しきい値を越えているか否かを判定するもので、しきい値を越えている場合には、越えていることを表す信号("1")を、越えていない場合にはそれを表す信号("0")を制御部32へ出力する。

制御部32は、同期捕捉判定部31から入力される信号が"1"であれば、拡散符号の位相差がデジタルマッチトフィルタ29の動作周波数分の1の誤差以内に引き込まれた(粗同期)として、制御信号をデジタルマッチトフィルタ29に出力する。

【0006】

次に従来のデジタルマッチトフィルタ29の構成例について図11を用いて説明する。ここでは、拡散符号が既知であるとし、デジタルマッチトフィルタ29のタップ係数として、拡散符号レプリカ発生器33が出力する拡散符号の1周期分が入力用拡散符号レジスタ34を経て演算用拡散符号レジスタ35に格納されるものとする。

【0007】

デジタルマッチトフィルタ29では、 n ビット($n \geq 1$)に量子化された受信信号が、チップレートの M 倍($M \geq 2$)でオーバーサンプリングされて受信信号蓄積レジスタ36に(拡散符号長) $\times M$ 個逐次蓄積される。ここで拡散符号長は、拡散符号の1周期分のチップ数である。そして受信信号蓄積レジスタ36と上記タップ係数との相関値が、乗算部37及び加算部38で計算され、その相関値は巡回積分部30に出力され平均化される。

【0008】

巡回積分値は同期捕捉判定部31に出力され、巡回積分しきい値比較によって相関ピークの検出及び粗同期捕捉完了の判定を行う。粗同期捕捉完了後は、拡散符号タイミングを追尾し、原信号の復調を行う。

【0009】

【発明が解決しようとする課題】

従来のデジタルマッチトフィルタは、受信信号を、拡散符号長に比例する段数(=拡散符号長 \times オーバーサンプリング数)のシフトレジスタに入力し、これに拡散符号系列を係数として掛けるトランスバーサルフィルタである。そのため、拡散符号長に比例してシフトレジスタの段数が増え、消費電力が大きくなる問題が

ある。また、1 サンプリングクロック毎に相関値を出力するため、乗加算処理に非常に多くの論理素子が動作し、消費電力が大きくなるという問題がある。

【0 0 1 0】

すなわち、従来のデジタルマッチトフィルタは消費電力が大きく、延いては受信回路全体の消費電力を増大させる原因となっていた。

本発明は上記課題に鑑みてなされたものであって、その目的は、相関値ピークの検出精度を維持しつつ消費電力を低減することのできるデジタルマッチトフィルタを提供することである。

【0 0 1 1】

【課題を解決するための手段】

請求項 1 に記載の発明は、m ビットの受信信号を時系列に書込む n 個のレジスタを備え、このレジスタに書込まれる受信信号系列と拡散符号系列との間の相関値を算出するデジタルマッチトフィルタにおいて、所定の書込みタイミングで前記レジスタに前記受信信号を書込み、前記所定の書込みタイミング以外では前記レジスタへの入力信号をマスクングする制御部を備えることを特徴としている。

【0 0 1 2】

これにより、受信信号レジスタへの入力信号のスイッチング率を低く抑えることができるため、消費電力を低減することができる。

請求項 2 に記載の発明は、請求項 1 に記載のデジタルマッチトフィルタにおいて、前記制御部は、前記所定の書込みタイミング以外で前記受信信号を前記レジスタに対してマスクングするゲート回路を備えることを特徴としている。

【0 0 1 3】

これにより、請求項 1 の作用効果に加え、前記レジスタへの入力信号を容易に制御することができる。

請求項 3 に記載の発明は、請求項 1 又は 2 に記載のデジタルマッチトフィルタにおいて、前記制御部は、前記受信信号の前記レジスタへの書込みタイミングを表す制御信号を生成し、この制御信号と前記受信信号とを前記ゲート回路に通すことにより、前記所定の書込みタイミングで前記受信信号を前記レジスタに書込むことを特徴としている。

【0 0 1 4】

これにより、請求項 1 又は 2 の作用効果に加え、前記制御部を容易に実現することができる。

請求項 4 に記載の発明は、請求項 1 乃至 3 のいずれか 1 項に記載のデジタルマッチトフィルタにおいて、前記ゲート回路の負荷容量が、前記レジスタの負荷容量よりも小さいことを特徴としている。

【0 0 1 5】

これにより、請求項 1 乃至 3 のいずれか 1 項の作用効果に加え、前記ゲート回路の消費電力を前記レジスタの消費電力よりも低く抑えることができるため、消費電力を低減することができる。

請求項 5 に記載の発明は、 m ビットの受信信号を時系列に書込む n 個のレジスタと、このレジスタの第 1 のタップ群から出力される第 1 の受信信号系列と拡散符号系列との間の相関値を算出する第 1 の相関値演算部と、前記レジスタの第 2 のタップ群から出力される第 2 の受信信号系列と拡散符号系列との間の相関値を算出する第 2 の相関値演算部とを備えることを特徴としている。

【0 0 1 6】

これにより、受信信号系列のタップ出力制御が簡略化されるとともに、相関値演算部の動作周波数を大幅に低くする(例えば $1/2$)にすることができるため、消費電力を低減することができる。

請求項 6 に記載の発明は、 m ビットの受信信号を時系列に書込む n 個のレジスタと、 k 個にグループ分けされる前記レジスタのタップ群と、このタップ群の各グループ毎に出力される受信信号系列と拡散符号系列との間の相関値を算出する k 個の相関値演算部とを備えることを特徴としている。

【0 0 1 7】

これにより、受信信号系列のタップ出力制御が簡略化されるとともに、相関値演算部の動作周波数を大幅に低くする(例えば $1/k$)にすることができるため、消費電力を低減することができる。

請求項 7 に記載の発明は、請求項 5 又は 6 に記載のデジタルマッチトフィルタにおいて、前記各タップ群から出力される受信信号系列は、互いに重複しないこ

とを特徴としている。

【0018】

これにより、請求項 5 又は 6 の作用効果に加え、前記各相関値演算部は、前記各タップ群から出力される受信信号系列と拡散符号系列との間の相関値を正しく算出することができる。

請求項 8 に記載の発明は、請求項 5 乃至 7 のいずれか 1 項に記載のデジタルマッチトフィルタにおいて、前記各相関値演算部からそれぞれ出力される相関値信号を、1 本の相関値出力信号として、順次時系列に出力する出力制御部を設けたことを特徴としている。

【0019】

これにより、請求項 5 乃至 7 のいずれか 1 項の作用効果に加え、所定の順序かつ所定の速度(例えば受信信号のサンプル速度)で前記相関値を出力することができる。

請求項 9 に記載の発明は、請求項 5 乃至 8 のいずれか 1 項に記載のデジタルマッチトフィルタにおいて、前記相関値演算部は、第 1 の積和演算部と、この積和演算部に接続されたしきい値判定部と、このしきい値判定部に接続された第 2 の積和演算部とを備え、前記しきい値判定部は、前記第 1 の積和演算部の出力値が十分小さい場合に、前記第 2 の積和演算部の動作を停止する制御を行うことを特徴としている。

【0020】

これにより、請求項 5 乃至 8 のいずれか 1 項の作用効果に加え、通信状況に応じて動作不要な回路を停止させるため、相関値ピークの検出精度を維持しつつ、消費電力を低減することができる。

請求項 10 に記載の発明は、請求項 9 に記載のデジタルマッチトフィルタにおいて、前記しきい値判定部は、前記第 1 の積和演算部の出力値に対する部分相関値しきい値が予め設定されており、第 1 の積和演算部の出力値が対応する部分相関値しきい値を越えた場合に前記第 2 の積和演算部を動作させ、部分相関値しきい値を越えない場合には第 2 の積和演算部の動作を停止することを特徴としている。

【 0 0 2 1 】

これにより、請求項 9 の作用効果に加え、容易に前記第 2 の積和演算部の動作を制御することができる。

請求項 1 1 に記載の発明は、請求項 9 又は 1 0 に記載のデジタルマッチトフィルタにおいて、前記第 1 の積和演算部は、受信信号系列のうちの一部とこれに対応する拡散符号系列との間の相関値を算出し、前記第 2 の積和演算部は、前記受信信号系列の残りの部分とこれに対応する拡散符号系列との間の相関値を算出することを特徴としている。

【 0 0 2 2 】

これにより、請求項 9 又は 1 0 の作用効果に加え、前記第 1 及び第 2 の相関値演算部は、それぞれ対応する受信信号系列と拡散符号系列との間の相関値を正しく算出することができる。

請求項 1 2 に記載の発明は、受信機において、請求項 1 乃至 1 1 のいずれか 1 項に記載のデジタルマッチトフィルタを備えることを特徴としている。

【 0 0 2 3 】

これにより、相関値ピークの検出精度を維持しつつ、消費電力を低減する受信機を提供することができる。

請求項 1 3 に記載の発明は、通信システムにおいて、請求項 1 2 に記載の受信機を備えることを特徴としている。

これにより、相関値ピークの検出精度を維持しつつ、消費電力を低減する通信システムを提供することができる。

【 0 0 2 4 】

【発明の実施の形態】

本発明を具体化した実施形態を図面に基づいて説明する。

図 1 は、本発明の実施形態を示すデジタルマッチトフィルタ 1 の構成ブロック図である。デジタルマッチトフィルタ 1 は、受信信号制御部 2、拡散符号制御部 3 及び相関値演算部 4 から構成されている。

【 0 0 2 5 】

次に、各部について具体的に説明する。以下では、受信信号の量子化ビット数

が 3、拡散符号長(拡散符号 1 周期分のチップ数)が 4、オーバーサンプリング数(サンプル数/チップ)が 2 のスペクトル直接拡散通信が行われているものとする。

図 2 に受信信号制御部 2 の構成を示す。受信信号制御部 2 は、受信信号蓄積レジスタ 5-0~5-7、論理ゲート回路 6-0~6-7 及びレジスタ制御部 7 から構成されている。受信信号蓄積レジスタ 5-0~5-7 に格納されている 3 ビットの各データサンプル R0~R7 は、相関値演算部 4 へ出力される。尚、受信信号蓄積レジスタ 5-0~5-7 が本発明における「レジスタ」に、論理ゲート回路 6-0~6-7 及びレジスタ制御部 7 が本発明における「制御部」に相当する。

【 0 0 2 6 】

受信信号蓄積レジスタ 5-0~5-7 は、(拡散符号長×オーバーサンプリング数)サンプル、即ち過去 8 サンプル分の受信信号を格納するレジスタで、各々順次入力される受信信号 8 サンプルに対して 1 サンプルの割合でレジスタ値を更新する。このサンプルデータ書き換えタイミングの制御は、レジスタ制御部 7 が出力する 8 本の制御クロックパルス $CLK_0 \sim CLK_7$ の立ち上がりエッジで行う。

【 0 0 2 7 】

論理ゲート回路 6-0~6-7 は、レジスタ制御部 7 から入力されるマスク信号 $MSK_0 \sim MSK_7$ によって受信信号を論理的にマスクする。即ち、前記サンプルデータ書き換えタイミングでのみ受信信号を通し、それ以外のタイミングでは“0”を出力するよう制御される。これにより、受信信号蓄積レジスタ 5-0~5-7 への入力信号が、前記サンプルデータ書き換えタイミング以外では“0”に固定され、スイッチングしなくなる(信号の論理値が変化しなくなる)。

【 0 0 2 8 】

次に、図 3 ~ 図 6 を用いて、レジスタ制御部 7 について具体的に説明する。

図 3 はレジスタ制御部 7 を表す構成図である。レジスタ制御部 7 は、制御クロック生成部 8 及びマスク信号生成部 9 からなる。

制御クロック生成部 8 は、8 進カウンタ 10 及び遅延素子 11-1~11-7 からなる。8 進カウンタはサンプル速度のクロックパルスを 8 分周した制御クロック信号 CLK_0 を生成する。制御クロック信号 CLK_0 は遅延素子 11-1~11-7 で 1 サンプルず

つ遅延され、それぞれ制御クロック信号 $CLK_1 \sim CLK_7$ として、受信信号蓄積レジスタ5-0~5-7へ出力される。尚、制御クロック信号 $CLK_4 \sim CLK_7$ は、それぞれ制御クロック信号 $CLK_0 \sim CLK_3$ を反転した信号で代用でき、この場合、遅延素子11-4~11-7を省略することができる。

【0029】

図4はマスク信号生成部9の機能を表す真理値表である。ここでは前記遅延素子11-4~11-7を省略する方法を用い、入出力信号名は図3に対応している。図中のH/Lは制御クロック信号 $CLK_0 \sim CLK_3$ の状態、HはHighレベル、LはLowレベルを表す。一方、0/1は出力信号 $MSK_0 \sim MSK_7$ の論理値を表す。例えばマスク信号 MSK_5 は、(5)・(7)・(13)・(15)の場合、即ち制御クロック信号 CLK_0 がL、且つ制御クロック信号 CLK_2 がHのときに論理値“1”となり、受信信号蓄積レジスタ5-5に受信信号が渡される。一方、(5)・(7)・(13)・(15)以外の場合、即ち制御クロック信号 CLK_0 がH、又は制御クロック信号 CLK_2 がLのときには論理値“0”となり、受信信号蓄積レジスタ5-5に“0”にマスクされた信号が渡される。受信信号蓄積レジスタ5-0~5-4、5-6、5-7においても、図4に従い、同様の処理が行われる。

【0030】

図5は、レジスタ制御部7の動作を表す信号タイミング図である。8進カウンタ10のMSB(3ビット目)が制御クロック信号 CLK_0 となり、これを遅延させ制御クロック信号 $CLK_1 \sim CLK_3$ が生成される。同時に図4の真理値表に従って、マスク信号 $MSK_0 \sim MSK_7$ が生成される。

図6は、受信信号蓄積レジスタ5-5及び論理ゲート回路6-5を例とした信号タイミング図である。制御クロック信号 CLK_5 は、制御クロック信号 CLK_1 を反転した信号である。論理ゲート回路6-5はANDゲート、セクタ回路などによって実現され、マスク信号 MSK_5 が“1”の時、受信信号を受信信号蓄積レジスタ5-5に渡している。受信信号蓄積レジスタ5-5は、制御クロック信号 CLK_5 の立上がりエッジで受信信号を書き込み、レジスタ内容を更新する。図6の例では、受信信号蓄積レジスタ5-5に受信信号D8、D16、D24が順次書き込まれタップR5から出力される。その他の受信信号蓄積レジスタ5-0~5-4、5-6、5-7においても同様の処

理を行う。

【 0 0 3 1 】

図 7 は拡散符号制御部 3 を表す構成ブロック図である。拡散符号制御部 3 は、拡散符号生成部 12、制御部 13 及び係数レジスタ 14-0、14-1 からなる。

拡散符号生成部 12 は、所定の拡散符号系列を発生する回路である。係数レジスタ 14-0 は、拡散符号生成部 12 が生成する拡散符号を順次格納する右シフトレジスタである。係数レジスタ 14-1 は、巡回型の左シフトレジスタである。制御部 13 は、拡散符号生成部 12 が生成する拡散符号のチップ数をカウントし、拡散符号長個に達すると、係数レジスタ 14-0、14-1 への制御信号を発生する。例えば、拡散符号生成部 12 が生成する拡散符号のチップ数が拡散符号長個に達しない間は制御信号 “0” を出力し、係数レジスタ 14-1 を停止しておく。そして、チップ数が拡散符号長個に達した時、制御信号 “1” を出力し、係数レジスタ 14-0 を停止するとともに係数レジスタ 14-1 を起動して、係数レジスタ 14-1 に係数レジスタ 14-0 の内容を書込む。係数レジスタ 14-1 の内容は逆拡散用の係数として、相関値演算部 4 へ出力される。

【 0 0 3 2 】

図 8 は、相関値演算部 4 を表す回路図である。相関値演算部 4 は、第 1 の相関値演算部 15-1、第 2 の相関値演算部 15-2、及び出力制御部 20 からなる。第 1 の相関値演算部 15-1 は、偶数番のタップ信号 R0、R2、R4、R6 と係数信号 C0～C3 との相関値を算出する。第 2 の相関値演算部 15-2 は、奇数番のタップ信号 R1、R3、R5、R7 と係数信号 C0～C3 との相関値を算出する。ここで、係数信号 C0～C3 はそれぞれ 1 ビットであるが、相関値演算においては “0” → +1、“1” → -1 として入力される。尚、偶数番のタップ信号 R0、R2、R4、R6 が本発明における「第 1 のタップ群から出力される第 1 の受信信号系列」に、奇数番のタップ信号 R1、R3、R5、R7 が本発明における「第 2 のタップ群から出力される第 2 の受信信号系列」に相当する。

【 0 0 3 3 】

次に、第 1 の相関値演算部 15-1 について具体的に説明する。第 1 の相関値演算部 15-1 は、第 1 の積和演算部 16-1、しきい値判定部 17-1、切替スイッチ 18

ー1、第2の積和演算部19-1、及び加算器25-1からなる。まず、タップ信号R0、R2と係数信号C0、C1の相関値が、第1の積和演算部16-1で算出される。この算出値は、しきい値判定部17-1において、予め設定されているしきい値と比較され、しきい値以上ならば切替スイッチ18-1のノードbが接続されて、第2の積和演算部19-1でタップ信号R4、R6と係数信号C2、C3の相関値が算出される。そして加算器25-1で第1及び第2の積和演算部の算出値が足し合わされ、第1の相関値演算部15-1の出力値となる。一方、第1の積和演算部16-1での算出値がしきい値よりも小さい場合には、切替スイッチ18-1のノードaが接続されて、第2の積和演算部19-1への係数信号としてのC2、C3がともに0となり、その結果、乗算部23-1、23-2を介して加算部24-1への入力信号がともに0となるため、加算部24-1の動作は停止される。

【0034】

第2の相関値演算部15-2は、第1の積和演算部16-2、しきい値判定部17-2、切替スイッチ18-2、第2の積和演算部19-2、及び加算器25-2からなる。第2の相関値演算部15-2では、まずタップ信号R1、R3と係数信号C0、C1の相関値が、第1の積和演算部16-2で算出される。この算出値は、しきい値判定部17-2において、予め設定されているしきい値と比較され、しきい値以上ならば切替スイッチ18-2のノードcが接続されて、第2の積和演算部19-2でタップ信号R5、R7と係数信号C2、C3の相関値が算出される。そして加算器25-2で第1及び第2の積和演算部の算出値が足し合わされ、第2の相関値演算部15-2の出力値となる。一方、第1の積和演算部16-2での算出値がしきい値よりも小さい場合には、切替スイッチ18-2のノードdが接続されて、第2の積和演算部19-2への係数信号としてのC2、C3がともに0となり、その結果、乗算部23-3、23-4を介して加算部24-2への入力信号がともに0となるため、加算部24-2の動作は停止される。

【0035】

出力制御部20は、第1の相関値演算部15-1の出力値と、第2の相関値演算部15-2の出力値を、サンプル速度で交互に選択し、出力する。すなわち、相関値演算部4は、本デジタルマッチトフィルタ1の相関値を順次正しく出力する。

以上に説明した本実施形態のデジタルマッチトフィルタ1にあっては、以下に

示す通りの作用効果がある。

【 0 0 3 6 】

(1) 受信信号蓄積レジスタ5-0~5-7よりも負荷容量の小さい論理ゲート回路6-0~6-7によって、所定のサンプルデータ書込みタイミング以外では受信信号蓄積レジスタ5-0~5-7への入力信号がスイッチングしないようマスキングするため、受信信号を受信信号蓄積レジスタ5-0~5-7に直接入力する従来構成に対して、受信信号蓄積レジスタ5-0~5-7の消費電力を低減することができる。

【 0 0 3 7 】

(2) 拡散符号C0~C3と、偶数番のタップ信号R0、R2、R4、R6及び奇数番のタップ信号R1、R3、R5、R7との相関値演算を、それぞれ第1の相関値演算部15-1、第2の相関値演算部15-2によって行い、各出力信号を交互に選択するよう制御することにより、入力側でタップ信号を交互に選択して相関値演算部を高速に動作させる従来構成に対して、各相関値演算部15-1、15-2の動作周波数を低くすることができるため、相関値演算部4の消費電力を低減することができる。

【 0 0 3 8 】

(3) 相関値演算部15-1を2つの積和演算部16-1、19-1に分け、しきい値判定部17-1により前段の積和演算部16-1からの部分相関値を判定し、しきい値よりも小さい場合に、後段の積和演算部19-1における加算部24-1の動作を止めることができるため、相関値演算部15-1の消費電力を低減することができる。同様に、相関値演算部15-2を2つの積和演算部16-2、19-2に分け、しきい値判定部17-2により前段の積和演算部16-2からの部分相関値を判定し、しきい値よりも小さい場合に、後段の積和演算部19-2における加算部24-2の動作を止めることができるため、相関値演算部15-2の消費電力を低減することができる。

【 0 0 3 9 】

【発明の効果】

以上説明したように、本発明によれば、受信信号系列を記録するレジスタにおいて、入力信号のスイッチング率を低くすることができるので、デジタルマッチトフィルタの消費電力を低減することができる。

また本発明によれば、受信信号系列と拡散符号系列との間の相関値を算出する

相関値演算部を複数組備えることにより、各相関値演算部の動作周波数を低くすることができるので、デジタルマッチトフィルタの消費電力を低減することができる。

【 0 0 4 0 】

さらに本発明によれば、相関値演算部において、受信状況に応じて、直列に接続された複数個の積和演算部のうち動作不要な回路を停止できるので、相関値ピークの検出精度を維持しつつ消費電力を低減することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態に係るデジタルマッチトフィルタの構成ブロック図である。

【図 2】

本発明の実施形態に係る受信信号制御部を表す構成図である。

【図 3】

本発明の実施形態に係るレジスタ制御部を表す構成図である。

【図 4】

本発明の実施形態に係るマスク信号生成部の機能を表す真理値表である。

【図 5】

本発明の実施形態に係るレジスタ制御部の動作を表す説明図である。

【図 6】

本発明の実施形態に係る受信信号蓄積レジスタ及び論理ゲート回路の動作を表す説明図である。

【図 7】

本発明の実施形態に係る拡散符号制御部を表す構成ブロック図である。

【図 8】

本発明の実施形態に係る相関値演算部を表す回路図である。

【図 9】

通信システムの全体構成ブロック図である。

【図 1 0】

逆拡散回路の構成ブロック図である。

【図 1 1】

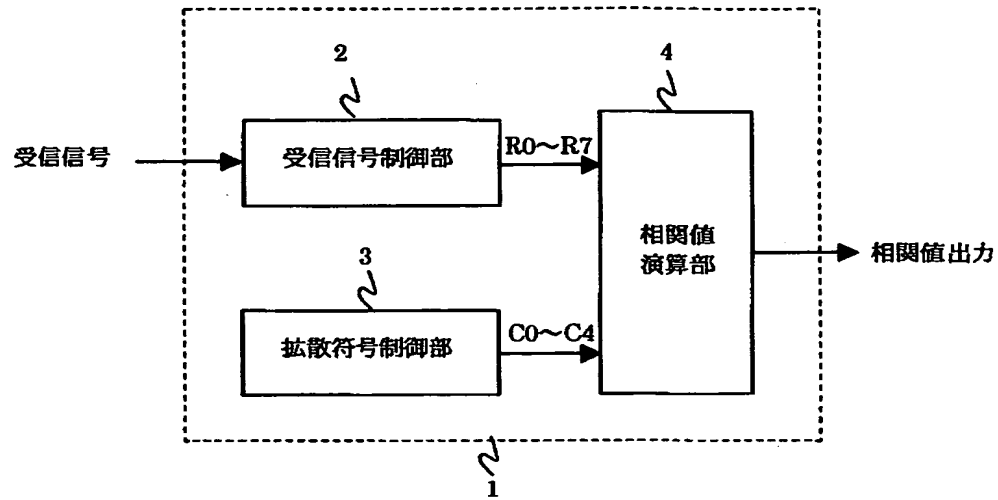
従来のデジタルマッチトフィルタの一例を表す構成図である。

【符号の説明】

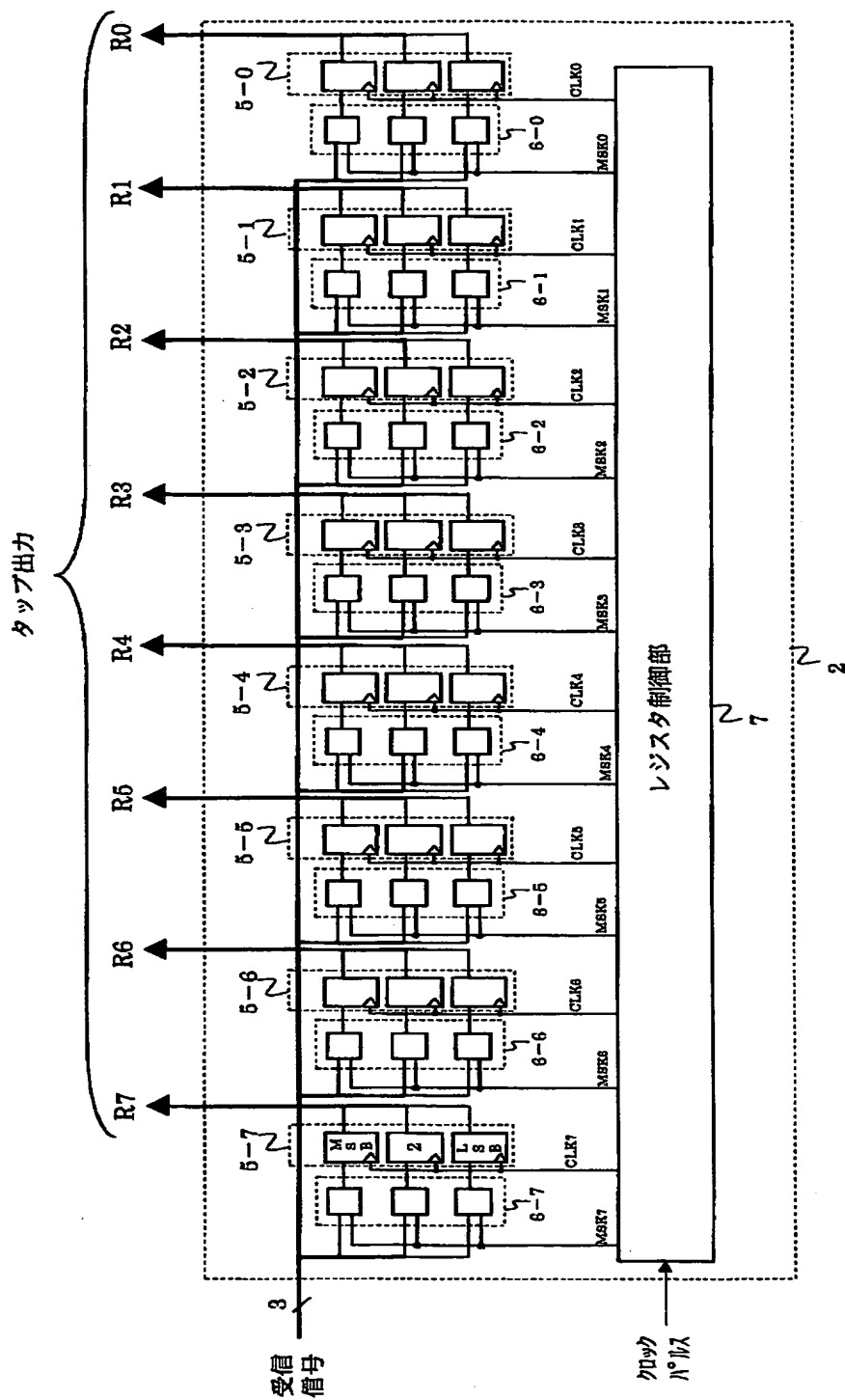
- 1 デジタルマッチトフィルタ
- 2 受信信号制御部
- 3 拡散符号制御部
- 4、1 5－1、1 5－2 相関値演算部
- 5－0～5－7 受信信号蓄積レジスタ
- 6－0～6－7 論理ゲート回路
- 7 レジスタ制御部
- 8 制御クロック生成部
- 9 マスク信号生成部
- 1 0 8進カウンタ
- 1 1－1～1 1－7 遅延素子
- 1 2 拡散符号生成部
- 1 3 制御部
- 1 4－0、1 4－1 係数レジスタ
- 1 6－1、1 6－2 第1の積和演算部
- 1 7－1、1 7－2 しきい値判定部
- 1 8－1、1 8－2 切替スイッチ
- 1 9－1、1 9－2 第2の積和演算部
- 2 0 出力制御部
- 2 1－1～2 1－4、2 3－1～2 3－4 乗算部
- 2 2－1、2 2－2、2 4－1、2 4－2、2 5－1、2 5－2 加算部

【書類名】 図面

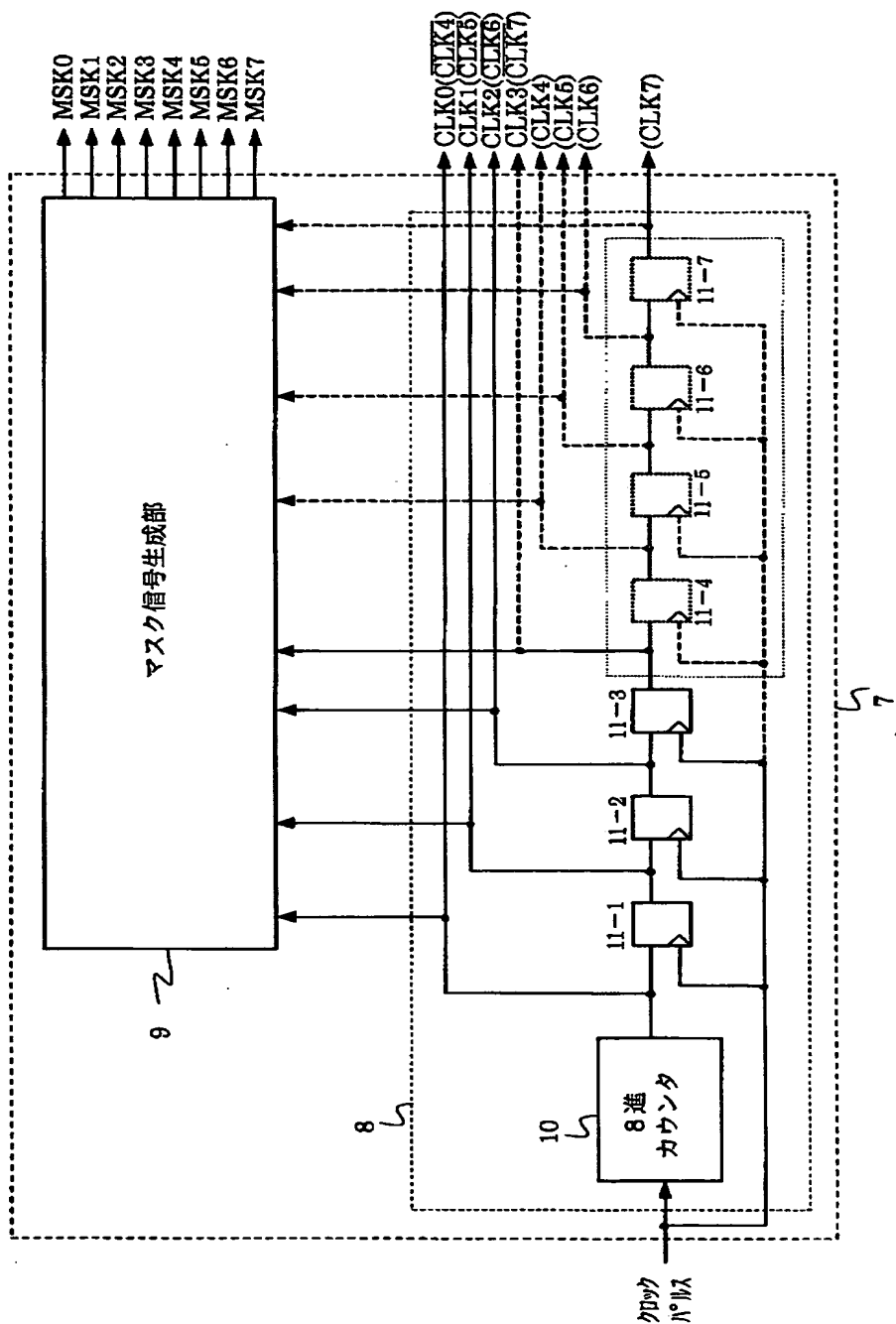
【図 1】



【図 2】



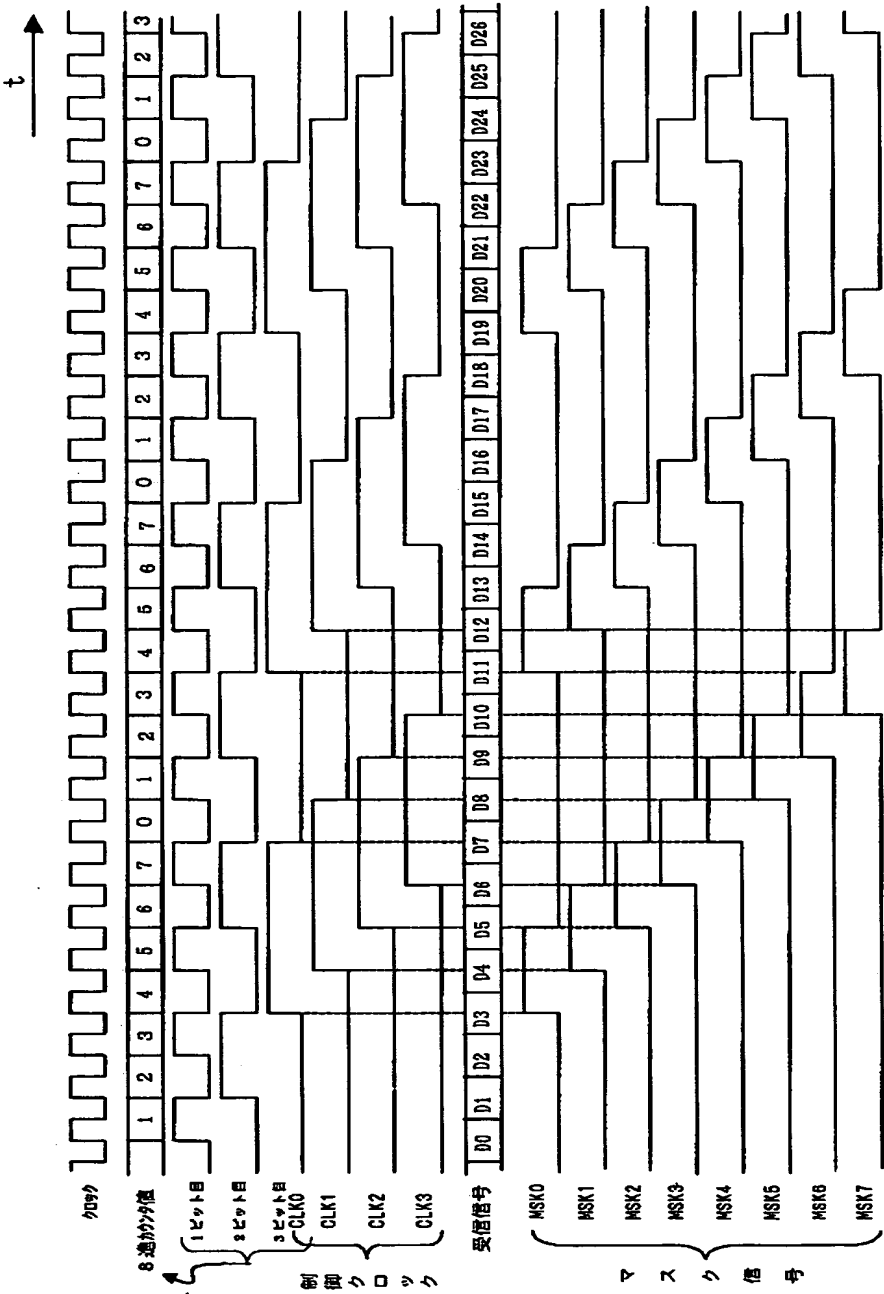
【図 3】



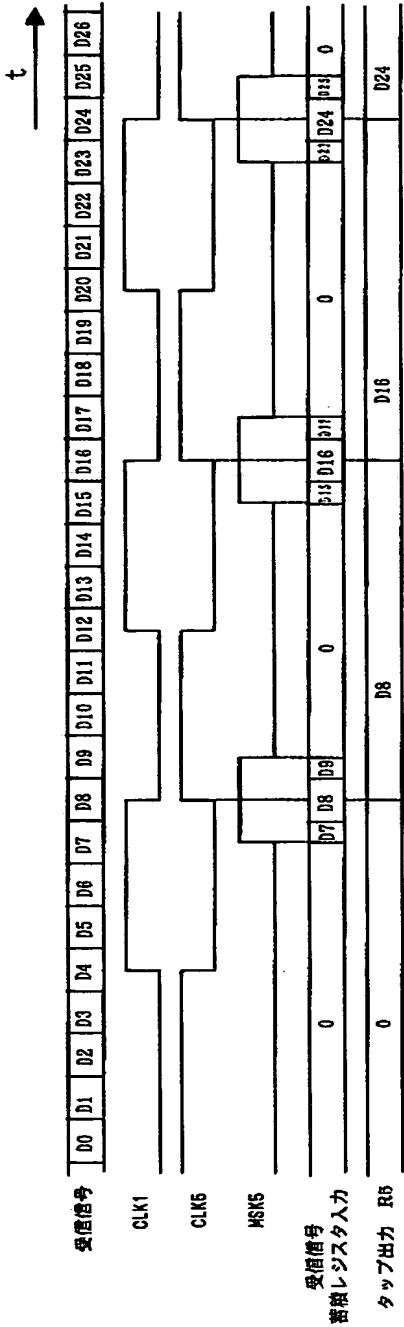
【図 4】

	入力信号				出力信号							
	CLK3	CLK2	CLK1	CLK0	MSK7	MSK6	MSK5	MSK4	MSK3	MSK2	MSK1	MSK0
(1)	L	L	L	L	1	1	0	0	0	0	0	0
(2)	L	L	L	H	0	1	0	0	0	0	1	0
(3)	L	L	H	L	1	0	0	1	0	0	0	0
(4)	L	L	H	H	0	0	0	1	0	0	1	0
(5)	L	H	L	L	0	1	1	0	0	0	0	0
(6)	L	H	L	H	0	1	0	0	1	0	0	0
(7)	L	H	H	L	0	0	1	1	0	0	0	0
(8)	L	H	H	H	0	0	0	1	1	0	0	0
(9)	H	L	L	L	1	0	0	0	0	0	0	1
(10)	H	L	L	H	0	0	0	0	0	0	1	1
(11)	H	L	H	L	1	0	0	0	0	1	0	0
(12)	H	L	H	H	0	0	0	0	0	1	1	0
(13)	H	H	L	L	0	0	1	0	0	0	0	1
(14)	H	H	L	H	0	0	0	0	1	0	0	1
(15)	H	H	H	L	0	0	1	0	0	1	0	0
(16)	H	H	H	H	0	0	0	0	1	1	0	0

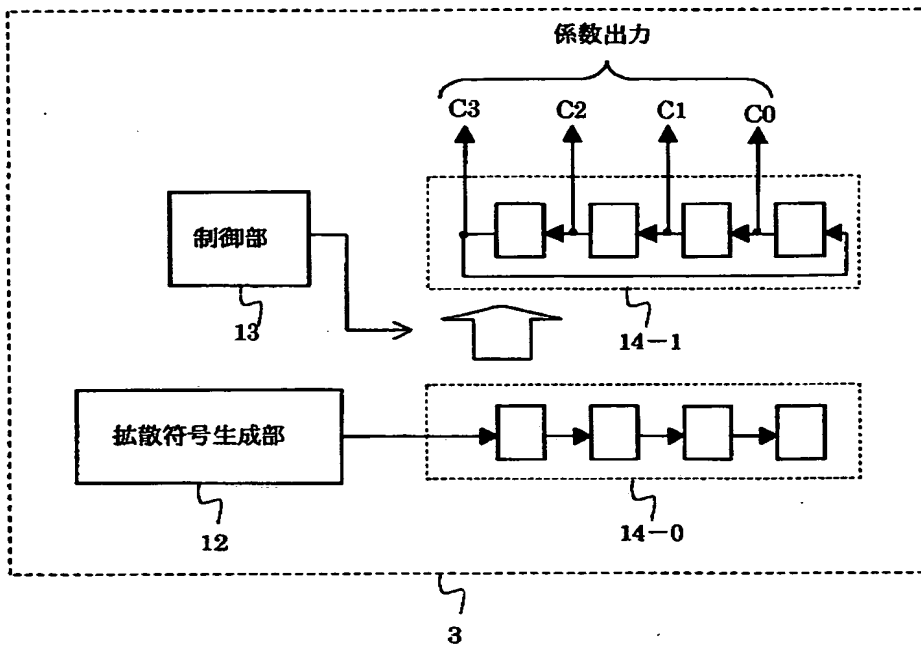
【図 5】



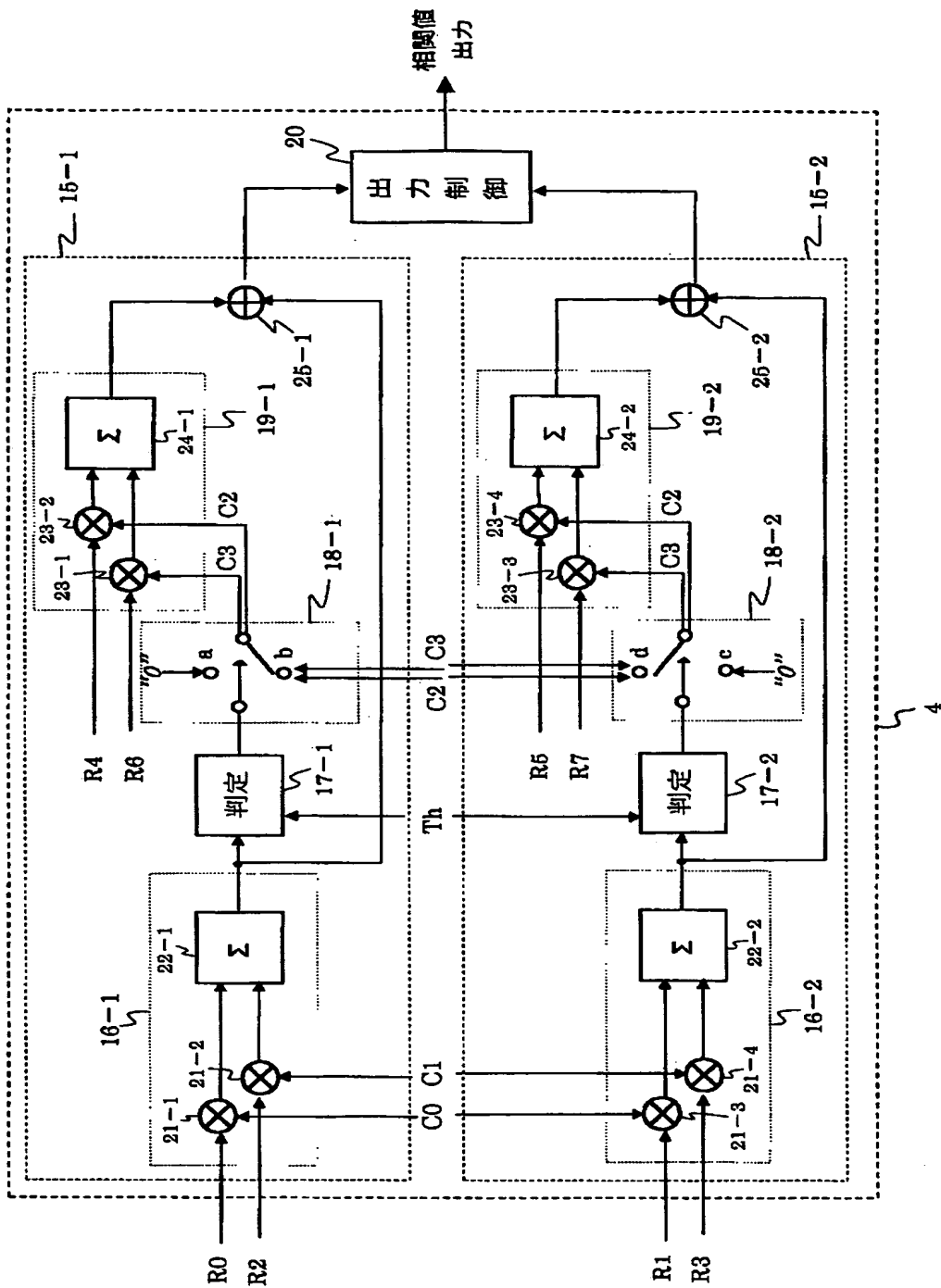
【図 6】



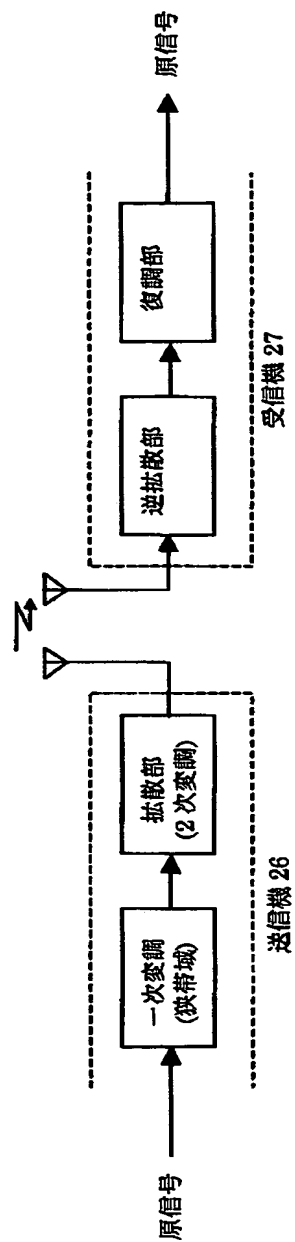
【図 7】



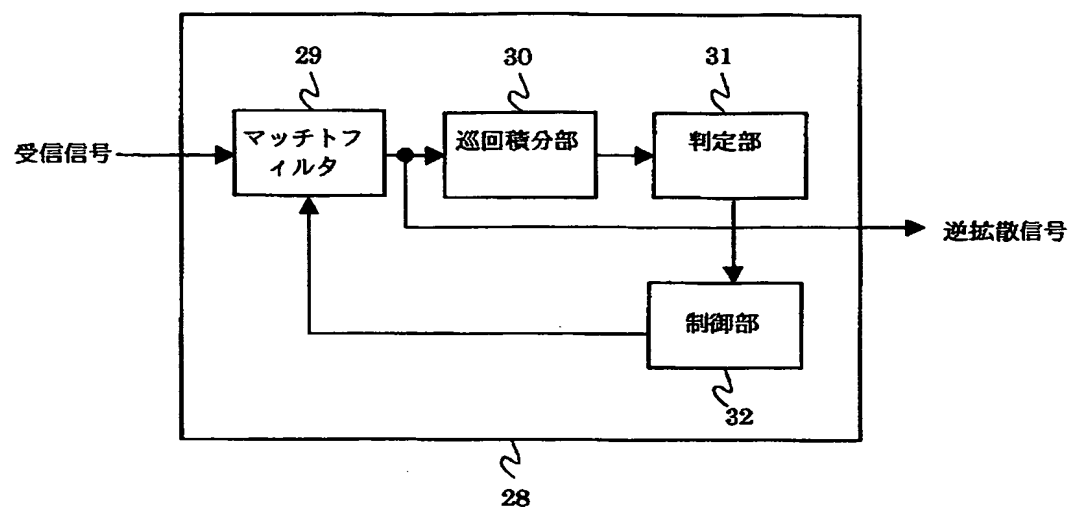
【図 8】



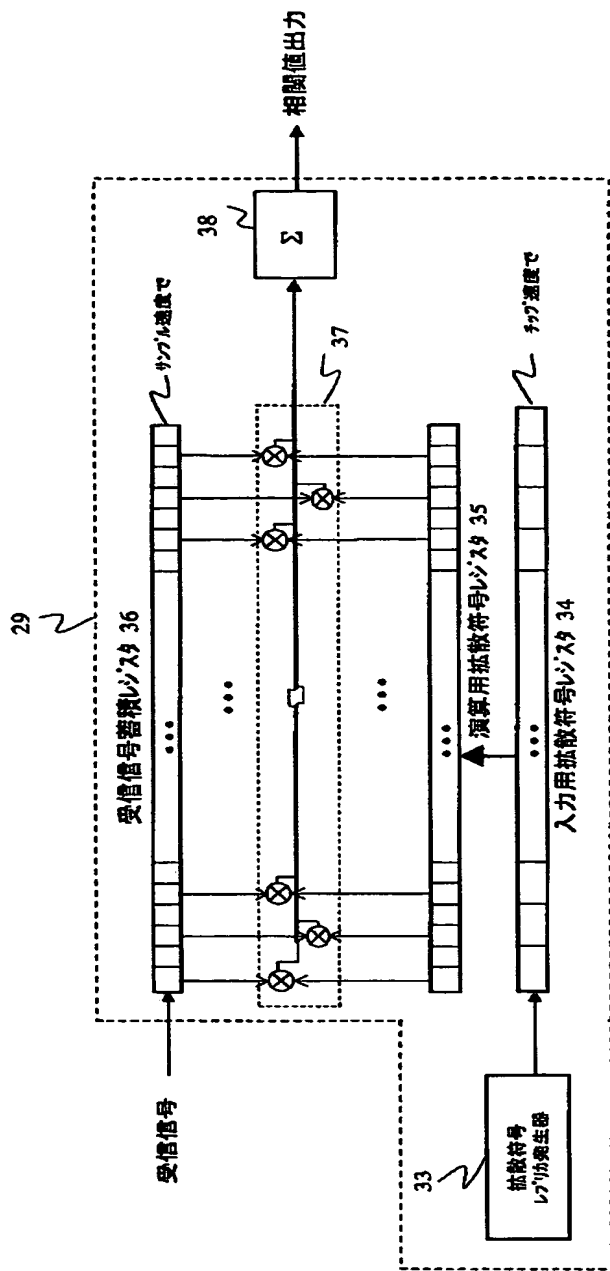
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 移動通信システムの受信局での消費電力を低減することができるデジタルマッチトフィルタを提供すること。

【解決手段】 デジタルマッチトフィルタ1において、受信信号蓄積レジスタ5-0～5-7よりも負荷容量の小さい論理ゲート回路6-0～6-7によって、所定のサンプルデータ書込みタイミング以外では受信信号蓄積レジスタ5-0～5-7への入力信号がスイッチングしないようマスキングする。これにより、受信信号を受信信号蓄積レジスタ5-0～5-7に直接入力する構成に対して、受信信号蓄積レジスタ5-0～5-7の消費電力を低減することができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社